

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086308  
Application Number

출원년월일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

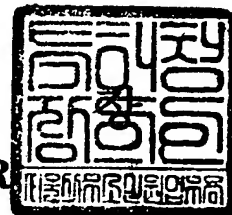
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      14      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2002. 12. 30
【발명의 명칭】	강유전체 메모리 소자의 제조방법
【발명의 영문명칭】	METHOD OF MANUFACTURING FERROELECTRIC MEMORY DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	최은석
【성명의 영문표기】	CHOI, Eun Seok
【주민등록번호】	701010-1031211
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 334 장미마을 현대아파트 802-603
【국적】	KR
【발명자】	
【성명의 국문표기】	김남경
【성명의 영문표기】	KIM, Nam Kyeong
【주민등록번호】	671128-1929433
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하리 신한아파트 103-502
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 특허법인 신 성 (인)

**【수수료】**

**【기본출원료】** 15 면 29,000 원

**【가산출원료】** 0 면 0 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 0 항 0 원

**【합계】** 29,000 원

**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 후속 열처리 공정시 하부전극과 층간절연막 사이의 열팽창 차이로 인한 하부전극의 변형 및 리프팅을 효과적으로 방지할 수 있는 강유전체 메모리 소자의 제조 방법을 제공한다.

본 발명은 소정의 공정이 완료된 반도체 기판 상에 하부전극을 형성하는 단계; 하부전극 및 기판 표면 상에 금속산화막을 형성하는 단계; 기판 전면 상에 층간절연막을 형성하는 단계; 하부전극의 상부 표면이 노출되도록 층간절연막 및 금속산화막을 전면식각하는 단계; 및 층간절연막과 하부전극 사이의 금속산화막만을 선택적 식각에 의해 제거하여 소정 깊이의 틈을 형성하는 단계를 포함하는 강유전체 메모리 소자의 제조방법에 의해 달성될 수 있다. 여기서, 금속산화막은  $\text{Al}_2\text{O}_3$ 막,  $\text{TiO}_2$ 막,  $\text{TaO}_2$ 막,  $\text{ZrO}_2$ 막 및  $\text{HfO}_2$ 막 중 선택되는 하나의 막으로 이루어진다.

**【대표도】**

도 2d

**【색인어】**

FeRAM, 강유전체, 금속산화막, 버퍼, 열팽창, 하부전극

**【명세서】****【발명의 명칭】**

강유전체 메모리 소자의 제조방법(METHOD OF MANUFACTURING FERROELECTRIC MEMORY DEVICE)

**【도면의 간단한 설명】**

도 1은 종래의 강유전체 메모리 소자를 나타낸 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조방법을 설명하기 위한 순차적 단면도.

※도면의 주요부분에 대한 부호의 설명

20 : 반도체 기판	21 : 제 1 층간절연막
22 : 플러그	23 : 배리어금속막
24 : 하부전극	25 : 금속산화막
26 : 제 2 층간절연막	27 : 틈
28 : 강유전체막	29 : 상부전극
30 : 제 3 층간절연막	31 : 배선

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 강유전체 메모리 소자의 제조방법에 관한 것으로, 특히 열처리 공정에 의한 하부전극의 변형 및 리프팅(lifting)을 방지할 수 있는 강유전체 메모리 소자의 제조방법에 관한 것이다.
- <11> 반도체 메모리 소자에서 강유전체(ferroelectric) 재료를 캐패시터에 사용함으로써 기존 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레시 (refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되고 있다. 이러한 강유전체 재료를 사용하는 FeRAM(ferroelectric random access memory) 소자는 비휘발성 메모리 소자의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 기존의 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.
- <12> FeRAM 소자의 강유전체 재료로는 일반적으로, BLT((Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>)), SBT (SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>), SBTN(SrBi<sub>2</sub>(Ta<sub>1-x</sub>, Nb<sub>x</sub>)<sub>2</sub>O<sub>9</sub>), PZT((Pb, Zr)TiO<sub>3</sub>) 등의 박막이 주로 사용되고, 강유전체 박막 형성시 수반되는 고온의 열처리 과정을 감안하여 캐패시터의 상부 및 하부 전극으로는 우수한 내산화성을 갖는 Pt, Ir, Ru, Pt 등의 귀금속이 사용되고 있다. 또한, 귀금속의 하부전극과 스토리지노드(storage node) 콘택용 플러그 사이에는 확산방지를 위하여 배리어금속막(barrier metal layer)이 플러그와 함께 층간절연막 내부에 매몰(buried)된 구조로 개재된다.

<13> 도 1은 이러한 종래의 강유전체 메모리 소자를 나타낸 단면도로서, 도 1에 도시된 바와 같이, 반도체 기판(10) 상에 제 1 층간절연막(11)이 형성되고, 제 1 층간절연막(11) 내부에는 기판(10)과 콘택하는 스토리지노드 콘택용 텅스텐 플러그(12)가 형성되며, 플러그(12) 및 플러그(12) 주변의 제 1 층간절연막(11) 상에는 하부전극(14)이 형성되어 있다. 또한, 플러그(12) 및 하부전극(14) 사이에는 상술한 바와 같이 매몰 구조로 배리어금속막(13)이 개재되고, 제 1 층간절연막(11) 상에는 하부전극(14)의 상부 표면을 노출시키면서 측부를 덮도록 제 2 층간절연막(15)이 형성되며, 하부전극(14) 및 제 2 층간절연막(15) 상에는 강유전체막(16)이 형성되어 있다. 또한, 하부전극(14) 상의 강유전체막(16) 상부에는 상부전극(17)이 형성되고, 강유전체막(16) 상부에는 상부전극(17)을 덮도록 제 3 층간절연막(18)이 형성되며, 제 3 층간절연막(18) 내부 및 상부에는 상부전극(18)과 콘택하는 배선(20)이 형성되어 있다. 여기서, 통상적으로 하부전극(14)은 귀금속으로 이루어지고, 제 1 내지 제 3 층간절연막(11, 15, 18)은 산화막으로 이루어진다. 또한, 도시되지는 않았지만, 하부전극(14)과 제 1 층간절연막(11) 사이에 접착성 향상을 위하여 금속산화물로 이루어진 접착층(glue layer)이 개재될 수 있다.

<14> 그러나, 상술한 종래의 강유전체 메모리 소자에서는, 하부전극(14)의 측부가 제 2 층간절연막(15)에 의해 둘러싸이게 됨에 따라 후속 강유전체막(16) 형성에 따른 증착 및 열처리 공정시, 하부전극(14)의 귀금속과 층간절연막(11, 15)의 산화막 사이의 열팽창 차이에 의해 하부전극(14)이 팽창되어 하부전극(14)에 강한 압축 스트레스(compressive stress)가 가해지게 된다. 이에 따라, 하부전극(14)의 변형 및 리프팅(lifting)이 야기

될 뿐만 아니라, 하부전극(14)의 리프팅에 의해 배리어금속막(13)의 노출 및 산화가 야기되어 결국 스토리지노드 콘택의 패일이 유발된다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 후속 열처리 공정시 하부전극과 층간절연막 사이의 열팽창 차이로 인한 하부전극의 변형 및 리프팅을 효과적으로 방지할 수 있는 강유전체 메모리 소자의 제조방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<16> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 소정의 공정이 완료된 반도체 기판 상에 하부전극을 형성하는 단계; 하부전극 및 기판 표면 상에 금속산화막을 형성하는 단계; 기판 전면 상에 층간절연막을 형성하는 단계; 하부전극의 상부 표면이 노출되도록 층간절연막 및 금속산화막을 전면식각하는 단계; 층간절연막과 하부전극 사이의 금속산화막만을 선택적 식각에 의해 제거하여 소정 깊이의 틈을 형성하는 단계; 하부전극 및 층간절연막 상에 강유전체막을 형성하는 단계; 및 하부전극 상의 강유전체막 상부에 상부전극을 형성하는 단계를 포함하는 강유전체 메모리 소자의 제조방법에 의해 달성될 수 있다.

<17> 여기서, 금속산화막은  $\text{Al}_2\text{O}_3$ 막,  $\text{TiO}_2$ 막,  $\text{TaO}_2$ 막,  $\text{ZrO}_2$ 막 및  $\text{HfO}_2$ 막 중 선택되는 하나의 막으로 이루어지고, 금속산화막의 두께는 1 내지 500 Å이다.



- <18> 또한, 선택적 식각은 습식식각으로 수행하는데, 바람직하게 습식식각시 식각용액으로서 황산, 질산 및 인산 중 적어도 하나 이상이 포함된 용액이나, 암모니아수 또는 과산화수소가 포함된 용액을 사용하고, 더욱 바람직하게 식각용액에 포함된 상기 황산, 질산, 인산, 암모니아수, 및 과산화수소의 농도는 각각 0 내지 50%로 조절한다.
- <19> 또한, 하부전극은 Pt/IrOx/Ir의 적층막으로 이루어지고, 강유전체막은 BLT, SBT, SBTN, 및 PZT 중 선택되는 하나로 이루어진다.
- <20> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <21> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 강유전체 메모리 소자의 제조방법을 설명하기 위한 순차적 단면도이다.
- <22> 도 2a를 참조하면, 반도체 기판(20) 상에 산화막으로 이루어진 제 1 층간절연막(21)을 형성하고, 기판(20)의 일부가 노출되도록 제 1 층간절연막(21)을 식각하여 스토리지노드용 콘택홀을 형성한다. 그 다음, 콘택홀에 매립되도록 제 1 층간절연막(31) 상에 텅스텐막을 증착하고, 콘택홀 내에 소정의 깊이로 리세스(recess)가 남도록 에치백(etch-back) 또는 화학기계연마(Chemical Mechanical Polishing; CMP) 공정으로 텅스텐막을 전면식각하여 스토리지노드 콘택용 텅스텐 플러그(22)를 형성한다. 그 다음, 리세스에 매립되도록 제 1 층간절연막(21) 상에 TiN막을 증착하고, 에치백 또는 CMP 공정에 의해 제 1 층간절연막(21)이 노출되도록 TiN막을 전면식각하여 매몰구조의 배리어금속막(23)을 형성한다. 그 다음, 기판 전면 상에 하부전극용 금속막으로서 Ir막, IrOx막 및 Pt막을 순차적으로 증착한 후, Pt막, IrOx막 및 Ir막을 패터닝하여 Pt/IrOx/Ir의 적층막으로 이루어진 하부전극(24)을 형성한다. 도시되지는 않았지만, 하부전극(24)을 형성하

기 전에 하부전극(24)과 제 1 층간절연막 사이에 접착성 향상을 위하여 금속산화물로 이루어진 접착층을 개재할 수도 있다. 그 후, 하부전극(24) 및 제 1 층간절연막(21) 표면에 금속산화막(25)을 1 내지 500 Å의 두께로 증착하는데, 이때 금속산화막(25)의 증착두께로 후속 형성되는 틈의 폭을 조절할 수 있다. 바람직하게, 금속산화막(25)은  $\text{Al}_2\text{O}_3$ 막,  $\text{TiO}_2$ 막,  $\text{TaO}_2$ 막,  $\text{ZrO}_2$ 막 및  $\text{HfO}_2$ 막 중 선택되는 하나의 막으로 이루어진다.

<23> 도 2b를 참조하면, 금속산화막(25)이 형성된 하부전극(24)을 덮도록 기판 전면 상에 산화막으로 이루어진 제 2 층간절연막(26)을 형성한다. 그 다음, 하부전극(24)의 상부 표면이 노출되도록 제 2 층간절연막(26) 및 금속산화막(25)을 에치백 또는 CMP 공정으로 전면식각한다.

<24> 도 2c를 참조하면, 습식식각에 의한 선택적 식각으로 제 2 층간절연막(26)과 하부전극(24) 사이의 금속산화막(25)만을 제거하여 이들 사이에 틈(27)을 형성한다. 즉, 틈(27)은 후속 열처리 공정시 제 2 층간절연막(26)과 하부전극(24) 사이에서 버퍼로서 작용하게 되다. 바람직하게, 습식식각은 식각용액으로서 황산, 질산 및 인산 중 적어도 하나 이상이 포함된 용액이나, 암모니아수( $\text{NH}_4\text{OH}$ )가 포함된 용액 또는 과산화수소( $\text{H}_2\text{O}_2$ )가 포함된 용액을 사용하여 수행하고, 더욱 바람직하게 식각용액에 포함된 상기 황산, 질산, 인산, 암모니아수 및 과산화수소의 농도는 각각 0 내지 50%로 조절한다. 또한, 식각시간을 조절하여 틈(27)의 깊이를 조절할 수 있는데, 바람직하게는 도 2c에 도시된 바와 같이, 틈(27)의 깊이가 하부전극(24)의 저부측에 있도록 하거나, 하부전극(24)의 최상부와 저부 사이에 있도록 식각시간을 각각 조절할 수 있다.

<25> 도 2d를 참조하면, 하부전극(24) 및 제 2 층간절연막(26) 상에 BLT, SBT, SBTN, 및 PZT 중 선택되는 하나로 강유전체막(28)을 증착하고, 열처리 공정을 수행한다. 이때, 하부전극(24)과 제 2 층간절연막(26) 사이에 형성된 틈(27)에 의해 하부전극(24)이 팽창되더라도 하부전극(24)이 스트레스를 받지 않게 되므로 종래와 같은 하부전극의 변형 및 리프팅이 발생되지 않는다. 그 후, 하부전극(24) 상의 강유전체막(28) 상부에 상부전극(29)을 형성하고, 상부전극(29)을 덮도록 기판 전면 상에 산화막으로 이루어진 제 3 층간절연막(30)을 증착한다. 그 다음, 상부전극(29)의 일부가 노출되도록 제 3 층간절연막(30)을 식각하여 배선용 콘택홀을 형성하고, 콘택홀에 매립되도록 제 3 층간절연막(30) 상에 금속막을 증착하고 패터닝하여 상부전극(29)과 콘택하는 배선(31)을 형성한다.

<26> 상기 실시예에 의하면, 하부전극의 측부와 층간절연막 사이에 틈을 형성하여 후속 열처리 공정시 버퍼로서 작용하도록 함으로써 열처리 공정에 의해 하부전극이 팽창되더라도 하부전극이 스트레스를 받지 않게 되므로 하부전극의 변형 및 리프팅이 방지될 수 있다. 또한, 하부전극의 리프팅 방지에 의해 배리어금속막이 노출되지 않게 되므로 배리어금속막의 산화도 효과적으로 방지될 수 있고, 이에 따라 스토리지노드 콘택의 패일도 방지됨으로써, 소자의 신뢰성 및 수율이 향상된다.

<27> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**【발명의 효과】**

<28>       전술한 본 발명은 하부전극 측부와 충전절연막 사이에 틈을 형성하여 후속 열처리 공정시 하부전극과 충전절연막 사이의 열팽창 차이로 인한 하부전극의 변형, 리프팅 및 스토리지노드 콘택 패일 등을 효과적으로 방지함으로써 소자의 신뢰성 및 수율을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

소정의 공정이 완료된 반도체 기판 상에 하부전극을 형성하는 단계;

상기 하부전극 표면 및 기판 표면 상에 금속산화막을 형성하는 단계;

상기 기판 전면 상에 층간절연막을 형성하는 단계;

상기 하부전극의 상부 표면이 노출되도록 상기 층간절연막 및 금속산화막을 전면 식각하는 단계; 및

상기 층간절연막과 상기 하부전극 사이의 금속산화막만을 선택적 식각에 의해 제거하여 소정 깊이의 틈을 형성하는 단계를 포함하는 강유전체 메모리 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 금속산화막은  $\text{Al}_2\text{O}_3$ 막,  $\text{TiO}_2$ 막,  $\text{TaO}_2$ 막,  $\text{ZrO}_2$ 막 및  $\text{HfO}_2$ 막 중 선택되는 하나의 막으로 이루어진 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 금속산화막의 두께는 1 내지 500 Å 인 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 4】**

제 1 항 또는 제 2 항에 있어서,

상기 선택적 식각은 습식식각으로 수행하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 5】**

제 4 항에 있어서,

상기 습식식각은 식각용액으로서 황산, 질산 및 인산 중 적어도 하나 이상이 포함된 용액을 사용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 6】**

제 5 항에 있어서,

상기 식각용액에 포함된 상기 황산, 질산 및 인산의 농도는 각각 0 내지 50%로 조절하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 7】**

제 4 항에 있어서,

상기 습식식각은 식각용액으로서 암모니아수 또는 과산화수소가 포함된 용액을 사용하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 8】**

제 7 항에 있어서,

상기 식각용액에 포함된 상기 암모니아수 및 과산화수소의 농도는 각각 0 내지 50%로 조절하는 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

**【청구항 9】**

제 1 항에 있어서,

상기 하부전극 및 층간절연막 상에 강유전체막을 형성하는 단계; 및

상기 하부전극 상의 상기 강유전체막 상부에 상부전극을 형성하는 단계를 더 포함하는 강유전체 메모리 소자의 제조방법.

**【청구항 10】**

제 1 항 또는 제 9 항에 있어서,

상기 하부전극은 Pt/IrOx/Ir의 적층막으로 이루어진 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

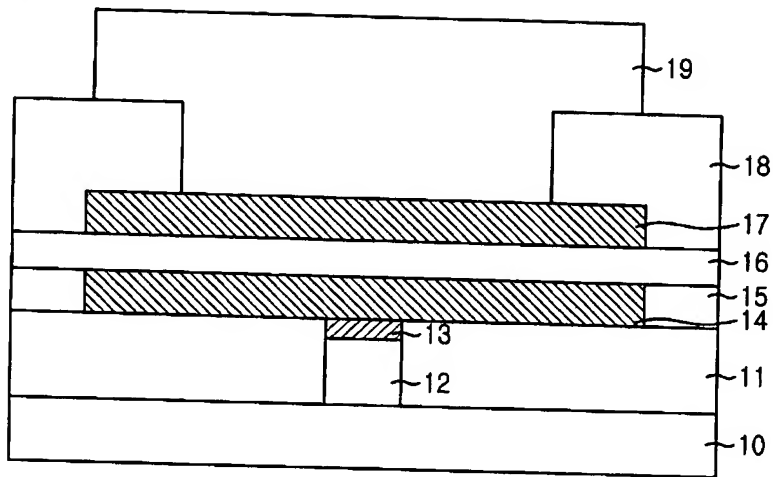
**【청구항 11】**

제 10 항에 있어서,

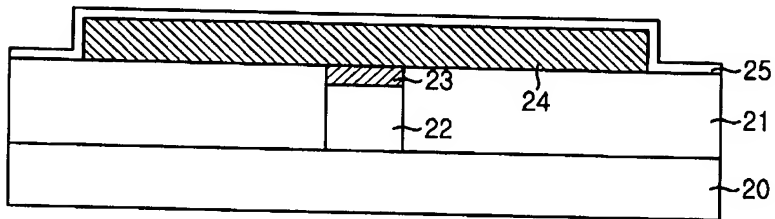
상기 강유전체막은 BLT, SBT, SBTN, 및 PZT 중 선택되는 하나로 이루어진 것을 특징으로 하는 강유전체 메모리 소자의 제조방법.

【도면】

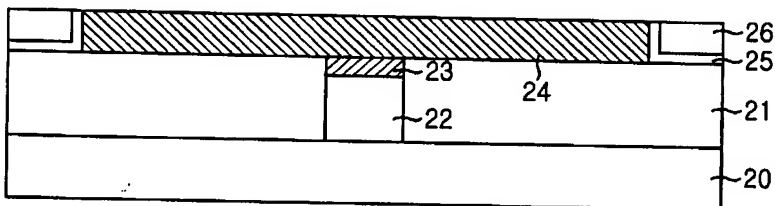
【도 1】



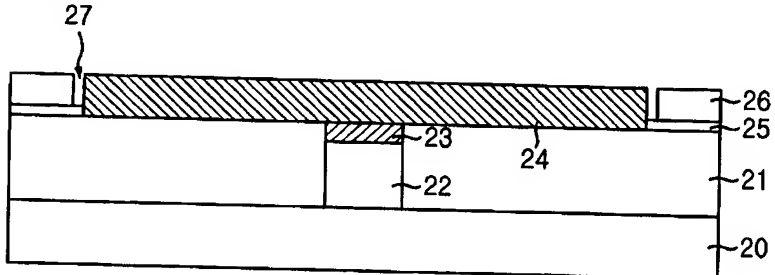
【도 2a】



【도 2b】



【도 2c】





【도 2d】

